

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04251941 A**

(43) Date of publication of application: **08.09.92**

(51) Int. Cl

**H01L 21/338**  
**H01L 29/812**

(21) Application number: **03000976**

(71) Applicant: **SUMITOMO ELECTRIC IND LTD**

(22) Date of filing: **09.01.91**

(72) Inventor: **KUWATA NOBUCHIKA**

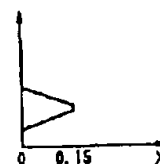
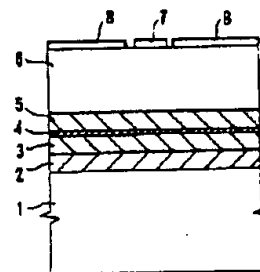
(54) **FIELD EFFECT TRANSISTOR**

(57) Abstract:

PURPOSE: To provide a field effect transistor of high carrier-confinement efficiency and high doping efficiency after movement.

CONSTITUTION: Layers which sandwich a channel layer (4) are made to increase the In composition of GaInAs and subjected to planar doping (4) so that carriers may be hard to flow toward the substrate. This improves carrier-confinement efficiency. Further, planar doping improves impurity doping efficiency and carrier mobility. A GaInAs cap layer (6) with varied in composition which decreases the In composition of GaInAs with distance from the channel layer to make lattice matching with a semiconductor capable of forming a satisfactory Schottky electrode is provided, thereby realizing a field effect transistor having satisfactory characteristics.

COPYRIGHT: (C)1992,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-251941

(43) 公開日 平成4年(1992)9月8日

(51) Int. Cl.<sup>3</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
H 0 1 L 21/338  
29/812 7739-4M H 0 1 L 29/80 H

審査請求 未請求 請求項の数1(全 6 頁)

(21) 出願番号 特願平3-976

(22) 出願日 平成3年(1991)1月9日

(71) 出願人 00002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 桑田 展周

神奈川県横浜市栄区田谷町1番地 住友電

気工業株式会社横浜製作所内

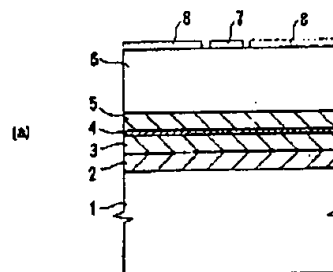
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 電界効果トランジスタ

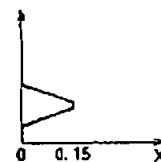
(57) 【要約】

【目的】 本発明は、移動度、キャリア閉じ込め効率、ドーピング効率の高い電界効果トランジスタを提供すること。

【構成】 チャネル層(4)を挟む層のGaInAsのIn組成を徐々に増加させ、かつプレーナドープ(4)を行うことによりキャリアが基板側に流れにくくしている。これによりキャリアの閉じ込め効率が向上する。またプレーナドープにより不純物のドーピング効率が向上し、かつキャリアの移動度が向上し、かつキャリアの移動度が向上する。また更に、チャネル層から遠ざかるにつれ、GaInAsのIn組成を徐々に減少させ、良好なショットキ電極を形成することができる半導体に格子整合するようなIn組成を変化させたGaInAsキャップ層(6)を設けることにより、良好な特性を持った電界効果トランジスタを実現できる。



(B)



## 【特許請求の範囲】

【請求項1】 化合物半導体基板と、前記半導体基板上に形成され、そのIn組成が前記半導体基板との界面において前記半導体基板に格子整合した組成であり、前記半導体基板より離れるにしたがって徐々に増加させたGaInAsのパッファ層と、前記パッファ層上に不純物を2次元の薄い面状にドーピングさせたプレーナドープ層によるチャネル層と、前記チャネル層上に前記パッファ層の最上層のIn組成と略同一でありチャネル層から離れるに従ってIn組成を徐々に減少させ、かつ最上層がショットキー電極が形成される半導体層に格子整合するIn組成となっているGaInAsのキャップ層を備えたことを特徴とする電界効果トランジスタ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電界効果トランジスタに関する。

【0002】

【従来の技術】 GaAsを用いた電界効果トランジスタ（以下、単にFETという）はそのキャリアの移動度、飽和速度が大きいこと、高周波素子として実用化のための種々の研究開発がなされている。

【0003】 そして、このような素子を更に高周波化するためには、素子の線酸化したり、チャネル層の厚さを小さくすることにより、伝達コンダクタンス（gm）を増大させると共に、ゲート・ソース耐圧及び電流駆動能力を向上させることが必要であり、これらについて種々の研究が行われ発表されている。

【0004】 例えば、特開昭61-166081号公報、特開昭61-276270号公報等には、プレーナドープの技術を用いて、イオン化ドナーが存在するプレーナドープ層を形成し、これをチャネルとするFETが開示されている。また特開昭64-82677号公報には、上記プレーナドープ層を電子の平均自由行程内に2層設けることにより、チャネル層を構成するものが開示されている。

【0005】 また、GaInAsがGaAsに比べて電子移動度、飽和速度の高い点に注目し、その効果を狙ったものとしては、特開昭63-272080号公報、特開昭64-2371号公報、特開昭64-57677号公報に開示されるものがある。また、Siのドーピング効率等が高い点に注目したものは特開昭63-90861号公報に開示されるものがある。更に、GaAs上にバンドギャップの小さなGaInAsを設ければ、キャリアのGaAsパッファ層への浸み出しを抑制することも知られている。

【0006】

【発明が解決しようとする課題】 しかし、上記いずれの従来技術によっても十分満足できる特性を有する電界効果トランジスタを実現することが出来なかった。すなわ

ち、プレーナドープ技術を用いた前述の従来技術では、GaAsという禁止帯幅の大きい半導体層の間にプレーナドープ層が設けられているため、キャリアの閉じ込めを十分に行うことができない。またGaInAsの特性に注目した前述の従来技術では、GaAsとGaInAsとの界面での格子不整合が大きくなったり、GaInAs上にショットキー電極が設けられるために特性が不十分になるなど、種々の欠点を有している。このため、移動度、キャリアの閉じ込め効率、ドーピング効率のいずれの点においても優れ、従って高い電流駆動能力と、高い伝達コンダクタンスと、高いゲート・ソース耐圧をいづれも可能にした電界効果トランジスタは実現されていなかった。

【0007】 そこで本発明は移動度、キャリア閉じ込め効率、ドーピング効率が高い電界効果トランジスタを提供することを目的としている。

【0008】

【課題を解決するための手段】 上述の目的を達成するため、本発明による電界効果トランジスタでは、化合物半導体基板と、その上に形成され、Inの組成がこの半導体基板の界面において格子整合した組成であり、半導体基板より離れるにしたがって徐々に増加させたGaInAsのパッファ層と、このパッファ層上に不純物を2次元の薄い面状にドーピングさせたプレーナドープ層によるチャネル層と、このチャネル層上にこのパッファ層の最上層のIn組成と略同一でありチャネル層から離れるに従ってIn組成を徐々に減少させ、かつ最上層がショットキー電極が形成される半導体層に格子整合するIn組成にさせたGaInAsのキャップ層を備えたことを特徴としている。

【0009】

【作用】 本発明の電界効果トランジスタでは、GaInAsのIn組成を徐々に増加させ、かつプレーナドープを行うことによりキャリアが基板側に流れ難くなっている。そのためキャリアの閉じ込め効率が向上する。またプレーナドープにより不純物のドーピング効率が向上し、かつキャリアの移動度が向上し、かつキャリアの移動度が向上する。また更に、チャネル層から遠ざかるにつれ、GaInAsのIn組成を徐々に減少させ、良好なショットキー電極を形成することができる半導体に格子整合するようなIn組成を定化したGaInAsキャップ層を設けることにより、良好な特性を持った電界効果トランジスタを実現できる。

【0010】

【実施例】 以下、本発明の実施例について第1図を参照しつつ、説明する。

【0011】 第1図（a）に示すように、本発明に従う一実施例である化合物半導体電界効果トランジスタは、半絶縁性GaAs基板1上に厚さ0.5μmで形成されたノンドープGaAs層2と、その上に形成された厚さ

(3)

特開平4-251941

100オングストロームで形成されたGa<sub>1-x</sub>In<sub>x</sub>Asのバッファ層3を描いている。このバッファ層3はノンドープGaAs層2との界面においてはInの組成がX=0であり、この組成比XはノンドープGaAs層2から離れるにしたがって徐々に大きくなり、その最上面ではX=0.15となるように構成されている。従って、ノンドープGaAs層2とバッファ層3との界面では、その組成比が略同一であり格子整合が実現されている。

【0012】更に、このバッファ層3の直上にはチャンネル層4が設けられている。このチャンネル層4は、プレーナドープにより形成され、このプレーナドープ層はGaInAsに対してn型ドナーとなるSi又はSe等の不純物を二次元的平面上に薄くドープすることにより形成される。

【0013】更にこのチャンネル層の上には厚さ100オングストロームのGa<sub>1-x</sub>In<sub>x</sub>Asより構成されたキャップ層5が設けられている。このキャップ層5は、バッファ層3とは逆にInの組成比Xが、チャンネル層との界面においては0.15で、この層から離れるにしたがって徐々に減少し、その最上面では0となるように構成されている。以上のInの組成に関する状況を内容を判り易くするため第1図(b)にIn組成の深さ方向のプロファイルを示す。

【0014】更にこのキャップ層5の上には厚さ300オングストロームのノンドープGaAs層6が設けられている。このため、ノンドープ層6とキャップ層5とは、その界面において、組成比が略同一となり、格子不整合が緩和されるように構成されている。

【0015】このノンドープGaAs層6の上には、ゲート電極7となるショットキー金属が形成され、更に、ソース・ドレイン電極8となるオーミック金属が形成されている。

【0016】ここで、上記実施例の電界効果トランジスタと従来の電界効果トランジスタとの違いについて、第2図を用いて簡単に説明する。

【0017】第2図(a)は上記実施例の電界効果トランジスタのチャンネル近傍のバンドギャップダイアグラムを示し、第2図(b)はGaAsのチャンネルに不純物をプレーナドープして形成した電界効果トランジスタのチャンネル近傍のバンドギャップダイアグラムを示し、第2図(c)は、n型不純物を均一にドープしたGaInAsをチャンネルとした電界効果トランジスタのチャンネル近傍のバンドギャップダイアグラムを示す。ここで、第2図(a)と第2図(b)とを比較すると、上記実施例では徐々にバンドギャップを小さくしたGaInAsのバッファ層を用い、かつプレーナドープしたチャンネル層を用いているため、キャリアの閉じ込め効率がよく、ドレイン電流の小さな領域でもGaAsバッファ層中に浸み出しにくいことがわかる。また、第2図(a)

と第2図(c)とを比較すると、プレーナドープを行うことにより、第2図(a)に示すように電子が局在化されたエネルギー単位に存在し、イオン化したドナーと空間的に分離されるため、クロール散乱の影響が小さくなり低電界での移動度も低下しない。

【0018】また、更に上記実施例では、バッファ層3及びキャップ層5のInの組成比を徐々に変化させ、その上下面に接するノンドープのGaAs層とその界面にて組成比が略一致するように構成しているため、格子不整合が緩和され、キャリアの移動度が向上する。またこれによりゲート電極となるショットキー金属の接合面をGaAs層とすることが可能になり、良好なショットキー接合が実現できる。

【0019】次に、上記実施例の電界効果トランジスタの製造方法について、第3図を参照しつつ簡単に説明する。

【0020】上記実施例の電界効果トランジスタは、半導体性のGaAs基板1上に、OMVPE法、MBE法、CBE法等により、各半導体層を成長させることにより作成する。

【0021】例えば、ノンドープGaAs層2を、上記いずれかの方法により、所定の原料を供給しつつ、半導体性GaAs基板1上に0.5μm成長させる(第3図(a)参照)。次に、供給する原料を制御し、ノンドープGaAs層2の上にInの組成が成長にしたがってX=0から徐々に増加し、その最上面でX=0.15となるようなGa<sub>1-x</sub>In<sub>x</sub>Asのバッファ層を100オングストロームの厚さに成長させる(第3図(b)参照)。

【0022】次にIII族元素、すなわち、Ga、Asの原料の供給を停止し、V族元素であるAsの原料を供給しつつn型のドナーとなり得る不純物元素、例えばSi又はSeを供給してシート状にドーピングを行うプレーナドーピングを行う(第3図(c)参照)。このプレーナドーピングの方法は、先にあげた文献等により公知であるので詳細な説明は省略する。

【0023】次に、Ga<sub>1-x</sub>In<sub>x</sub>Asのキャップ層5を成長させる。この成長もバッファ層の場合と同様にInの原料供給を制御し、X=0.15からX=0と変化するように成長方向にしたがって徐々にInの組成が増加するようにキャップ層5を100オングストローム成長させる(第4図(a)参照)。

【0024】次にこのキャップ層5上にノンドープのGaAs層6を300オングストローム成長させ(第4図(b)参照)。その上に、ショットキー金属を蒸着して、ゲート電極7を形成し、またオーミック金属を蒸着して合金化することによりソース電極及びドレイン電極8を形成する(第4図(c)参照)。

【0025】以上、GaAs系について説明したが、本発明はGaAs系のみにとらわれず、InP系について

も用いることができる。即ち、InP基板上にInPバッファ層を成長させ、InPに格了整合するIn組成( $X=0.53$ )のGaInAsからInを徐々に増加させ、例えば $X=0.68$ まで、プレーナドーピングを行い、再び $X=0.68$ からIn組成を減じ、最上層を $X=0.53$ にしたGaInAsのキャップ層を積層し、このキャップ層上に $Al_{0.41}In_{0.52}As$ 層を成長させる構造を作成することもできる。

【0026】

【発明の効果】以上説明したように、本発明によれば、10 チャネル層をプレーナドーピングしたGaInAsで構成し、その上下層中のIn組成を徐々に変化させ格子不整をなくすようにしているため、キャリアの閉じ込め効率がよく、移動度の高い電界効果トランジスタを実現できる。

【図面の簡単な説明】

【図1】本発明による一実施例である電界効果トランジスタの構造を示す図である。

【図2】本発明及び従来の電界効果トランジスタのチャネル近傍でのバンドギャップダイアグラムを示す図である。

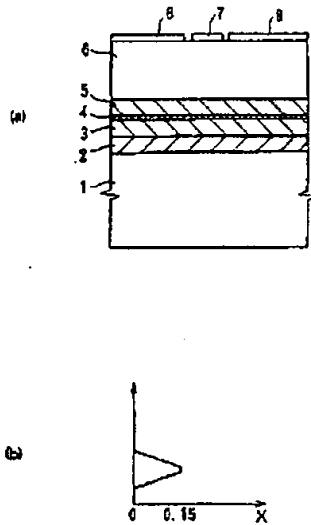
【図3】第1図に示した電界効果トランジスタの各製造工程の前半部における断面構造を示す図である。

【図4】第1図に示した電界効果トランジスタの各製造工程の後半部における断面構造を示す図である。

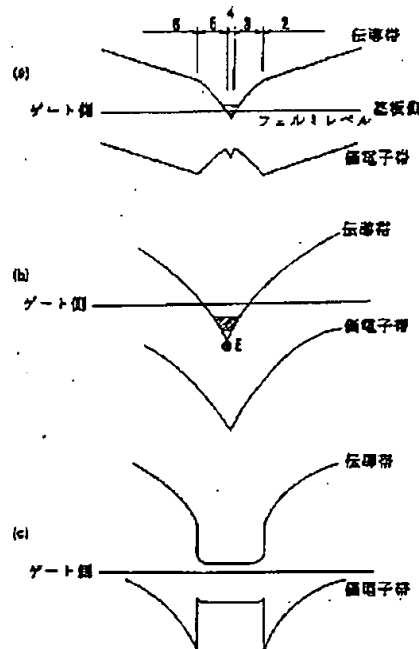
【符号の説明】

1…GaAs基板、2…ノンドープGaAs層、3…ゲレーテッドGaInAsバッファ層、4…プレーナドーピング層、5…ゲレーテッドGaInAsキャップ層、6…ノンドープGaAs層、7…ゲート電極、8…ソース、ドレイン電極

【図1】



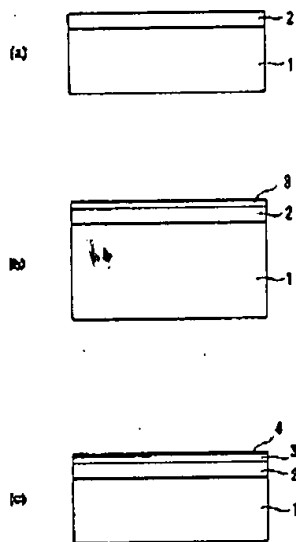
【図2】



(5)

特開平4-251941

【図3】



【図4】

